

FOR

PTO: 2004-5460

Japanese Published Unexamined (Kokai) Patent Publication No. S57-24168; Publication Date: February 8, 1982; Application No. S55-99207; Application Date: July 18, 1980; Int. Cl.³: H04N 1/40 G06F 15/20 G06K 9/36; Inventor: Koichi Ejiri; Applicant: Ricoh Co., Ltd.; Japanese Title: Konboryuusyon Shori Kairo (Convolution Processor Circuit)

Specification

Title of Invention

Convolution Processor Circuit

2. Claim

A convolution processor circuit that performs a filtering based on a convolution calculation using a correction function according to the dimension of a transmission function at a signal transmission system, characterized in that the correction function according to the dimension of the transmission function is developed in a small range of dimension in advance; separately determined filters are serially arranged at multiple stages.

Detailed Description of the Invention

This invention pertains to a convolution processor circuit that performs a filtering of an image signal to improve the recovery of the original image.

For example, when an image signal read by scanning and sampling the original image on the input side at a pixel unit as in an image input/output device such as a facsimile is transmitted to the output side, the image signal is made smooth due to an

BEST AVAILABLE COPY

effect of the transmission function of the transmission system. Because of this, a reception signal needs to be corrected on the output side to recover to the original image signal by applying a convolution.

More specifically, as shown in Fig.1 (a), an input signal $f(t)$ is smoothed to a signal as indicated by $g(t)$ on the output end due to an effect of a transmission function $h(u)$ of the transmission system. The relation between these functions is indicated by the following formula:

$$g(t) = \int_{-\infty}^{\infty} h(u) \cdot f(t-u) du \quad \dots (1)$$

In order to recover the smoothed signal $g(t)$ to the original signal, an arithmetic process as indicated in the following formula is executed using a correction function $c(u)$:

$$\hat{f}(t) = \int_{-\infty}^{\infty} c(u) \cdot g(t-u) du \quad \dots (2)$$

In this case, $\hat{f}(t)$ represents a recovery signal.

If the signals $f(t)$ and $g(t)$ are quantified digital signals, the relation between the formulas (1) and (2) is given by the following formulas:

$$g(i, j) = \sum_{k=-n}^{n} \sum_{\ell=-n}^{n} h(k, \ell) \cdot f(i+k, j+\ell) \quad \dots (3)$$

$$\hat{f}(i, j) = \sum_{k=-n'}^{n'} \sum_{\ell=-n'}^{n'} c(k, \ell) \cdot g(i+k, j+\ell) \quad \dots (4)$$

The arithmetic process based on the formulas (1) to (4), more specifically, a multiplication operation of the signals on a time axis is called a convolution by filtering. A convolution signal is usually indicated by “*.”

When the convolution process is carried out, as the dimension of the transmission function $h(u)$ becomes larger as shown in Fig.1 (b), the range of the correction function

$c(u)$ is expanded more. Thereby, correction ranges M' and N' of the smoothed signal $g(i, j)$ become larger at the application of the formula (4).

Fig.2 (a) and (b) indicate an example of the transmission function h corresponding to the formula (3) and an example of the correction function c corresponding to the formula (4), respectively.

A circuit structure as shown in Fig.3 is conventionally used so as to execute this type of convolution in detail.

More specifically, by shifting digital image signals DBS each by a single pixel portion, which are successively coming from the outside at a pixel unit, at a shift register unit comprising shift registers SR_{11} to SR_{MM} by a portion of a single pixel with a $M \times M$ structure and line shift registers LSR_1 to LSR_{M-1} for a single line delay, image information within a specific pixel region is extracted in a part comprising the shift registers SR_{11} to SR_{MM} . An arithmetic process according to the formula (4) is executed at a computer OPC (in this case, it is set at $M'=M$ and $N'=M$) based on each content (refer to Fig.2 b) of data $g(i+k, j+l)$ relating to the concentration level of each extracted pixel and a correction function $c(k, l)$ stored in a memory ROM in advance.

In detail, at the computer OPC, the product of the data content of the shift register SR_{11} and a correction value at $c(1, 1)$, the product of the data content of a shift register SR_{12} and a correction value at $c(1, 2)$, and similarly all the products of the data contents of respective shift registers SR and values of correction functions $c(k, l)$ presented at address corresponding to the data contents are obtained. Adding these results, a processing signal $\hat{f}(i, j)$ is output.

However, at the convolution process using these circuit components, when the dimension $M \times M$ of the transmission function $h(K, l)$ is large, the arithmetic size at the computer OPC increases according to the dimension to complicate the circuit components, increase the processing period, and to increase the capacity of the memory ROM.

The present invention is produced in consideration of these disadvantages and to offer a convolution processor circuit that is capable of setting the application range as needed by properly combining multiple units according to the dimension of the transmission function and of realizing a high speed processing by simplifying the entire circuit components.

A working example of the invention is described hereinbelow with reference to the attached drawings.

If the formula (4) is represented by convolution symbols, the following formula is given:

$$\hat{f} = g * c \quad \dots (5)$$

The correction function c becomes the following formula:

$$c = c_1 * c_2 * c_3 * \dots * c_n \quad \dots (6)$$

Therefore, when the formula (5) is substituted for the formula (6), the signal can be rewritten so as to be the following formula:

$$\begin{aligned}\hat{f} &= g * (c_1 * c_2 * c_3 * \dots * c_n) \\ &= ((\dots ((g * c_1) * c_2) * \dots) * c_n \quad \dots (7)\end{aligned}$$

In other words, the function c of the formula (5) having a larger dimension can be represented by a function $c_1, c_2, c_3 \dots$ or c_n having a smaller dimension as shown in the formula (7).

Focusing on this point, the convolution processor circuit of the invention executes the arithmetic process based on the formula (7) by serially arranging smaller filters having correction functions c_x ($x=1, 2, 3, \dots, n$) with a smaller dimension at n stages, which are obtained by dividing a single convolution filter with a large correction function c dimension into n pieces.

Fig.4 illustrates an example of the components of the convolution processor circuit by the invention. In this case, a single processor P (a small filter) is constituted such that the correction range of the smoothed signal $g(i, j)$ becomes a pixel region with a 3×3 structure. Multiple processors P_1 to P_n are serially connected at multiple stages.

More specifically, each processor P is comprised of the following components: a shift register unit consisting of shift registers SR_{11} to SR_{33} each by a single pixel portion, which extract digital image information in a specific pixel region with a 3×3 structure and line shift registers LSR_1 and LSR_2 ; a memory ROM wherein a correction function $c(k, l)$ according to the correction range with the 3×3 structure is stored in advance; and a computer OPC that performs a calculation obtain the sum of products for the aforementioned convolution according to the data $g(i+k, j+l)$ pertaining to the concentration level of each extracted pixel. When such a standardized processor with the same constitution is serially provided at multiple numbers, a wide range of application is possible.

At the time, the content of each memory ROM₁ to ROM_n within each processor P₁ to P_n, more specifically, the value of each correction function c₁ to c_n at the formula (7) is determined as described below according to the number n of the processors P to be used.

If c₁ to c_n are defined as correction filters with the 3 x 3 structure, c₁ * c₂ * c₃ * ... * c_{n-1} become a filter having a size of (2n-1) x (2n-1). If the element of this filter is indicated by $a_{1,j}^{(2n-1)}$ and if the element of c_n by $a_{1,j}^{(3)}$, the following formula is established:

$$a_{1,j}^{(2n+1)} = \sum_{k=1}^3 \sum_{l=1}^3 a_{k,l}^{(3)} - a_{-3+i+k, -3+j+l}^{(2n-1)} \quad \dots (8)$$

Relations $1 \leq i \leq 2n+1$ and $1 \leq j \leq 2n+1$ are obtained. If m and n of $a_{1,j}^{(2n-1)}$ take values except for 1 to 2n-1, $a_{m,n}^{(2n-1)} = 0$ is defined.

Accordingly, by lowering a dimension 2n+1 of the filter to a dimension 2n-1 and further continuously apply a similar procedure using the formula (8), a numerical value of each filter of c₁ to c_n at the formula (7) is obtained.

Fig.5 illustrates numerical values of filters when the correction function c of Fig.2 (b) is developed into correction functions c₁ and c₂ with two dimensions.

When the data signal smoothed with the transmission function at the signal transmission system is recovered at the convolution process, the convolution processor circuit of the invention the small filters having the small range of correction functions in advance are serially arranged at multiple stages as needed according to the dimension of

the transmission function, in lieu of the single convolution filter having the correction function according to the transmission function, thereby giving the same function. These small filters are standardized to simplify the entire circuit structure, thereby simplifying the arithmetic content at each small filter to achieve a high speed processing.

Brief Description of the Drawings

Fig.1 (a) and (b) individually illustrate a convolution process according to the dimension of a transmission function at a signal transmission system in the form of a wave. Fig.2 (a) illustrates an example of the transmission function, and Fig.2 (b) an example of a correction function. Fig.3 is a block diagram illustrating prior art convolution processor circuit. Fig.5 is a block diagram illustrating a convolution processor circuit as in a working example of the invention. Fig.5 illustrates each correction function when the correction function of Fig.2 (b) is developed into two dimensions.

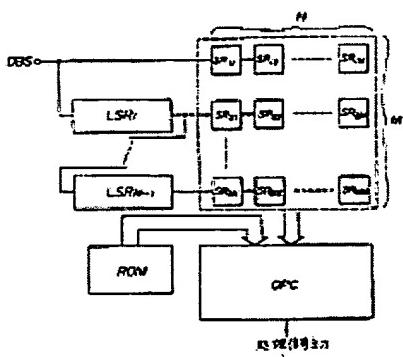
SR...Shift register

LSR...Line shift register

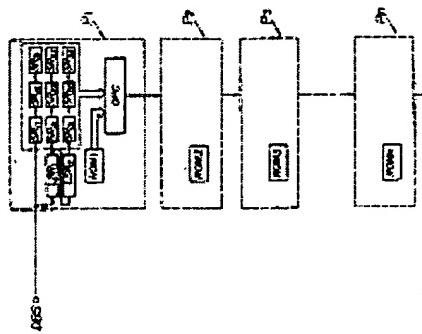
OPC...Computer

P...Processor (small filter)

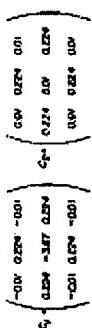
第3図



第4図



第5図



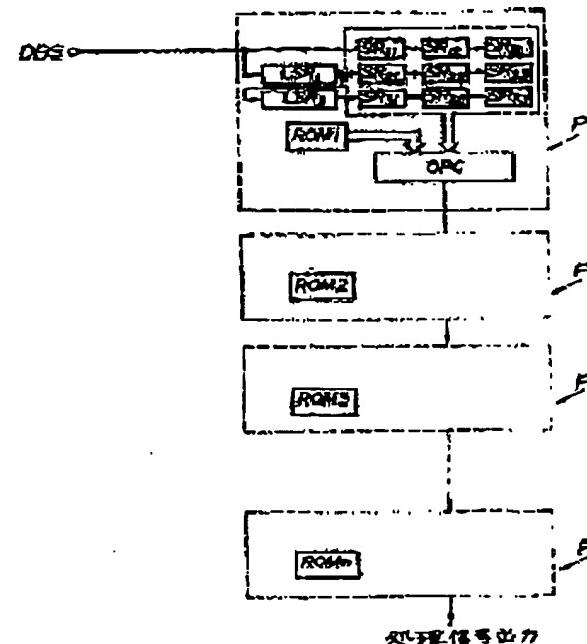
U.S. Patent and Trademark Office
Translations Branch
9/16/04
Chisato Morohashi

CONVOLUTION PROCESSING CIRCUIT

Patent number: JP57024168
Publication date: 1982-02-08
Inventor: EJIRI KOICHI
Applicant: RICOH CO LTD
Classification:
 - International: H04N1/40; G06F15/20; G06K9/36
 - European:
Application number: JP19800099207 19800718
Priority number(s):

Abstract of JP57024168

PURPOSE: To make the applied range free, by making a convolution processing circuit unit and suitably combining a plurality of units according to the spread of transfer functions.
CONSTITUTION: A plurality of processors P₁-P_n are in series connection with multistage. Each processor consists of a shift register section which consists of shift registers SR11-SR33 and line shift registers LSR1, LSR2 for one video element's share picking up a digital video information in, e.g., 3X3 constitution specific video element area, memory ROM stored with correction function according to the correcting image of 3X3 constitution, and operation device OPC performing the product sum operation for the convolution according to the data relating to the density level of each video element picked up at the shift registers SR11-SR13 and to the memory content. The application with a broad range can be made by providing the processors in series by the number required for the spread of a transfer function.



Data supplied from the esp@cenet database - Worldwide

④ 日本国特許庁 (JP)
④ 公開特許公報 (A)

④ 特許出願公開
昭57-24168

④ Int. Cl.³
H 04 N 1/40
G 06 F 15/20
G. 06 K 9/36

識別記号
101
103

厅内整理番号
7136-5C
7622-5B
7157-5B

④ 公開 昭和57年(1982)2月8日
発明の数 1
審査請求 未請求

(全 5 頁)

④ コンポリューション処理回路

④ 特 願 昭55-99207
④ 出 願 昭55(1980)7月18日
④ 発明者 江尻公一
東京都大田区中馬込1丁目3番

④ 出願人 6号株式会社リコー内
株式会社リコー
東京都大田区中馬込1丁目3番
6号
④ 代理人 弁理士 局井清

明細書

発明の名称 コンポリューション処理回路

特許請求の範囲

信号伝送系における伝達周波数の広がりに応じた補正回路を用いてコンポリューション演算によるファイルターリングを行なわせるものにおいて、すめその伝達周波数の広がりに応じた補正回路を小範囲のディイングションで使用させてそれぞれ決定したナフィルタを多段に連続に配設するようにしたことを特徴とするコンポリューション処理回路。

発明の詳細な説明

本発明は、振幅律の復元性を良くするための画像信号のファイルターリング処理を行なわせるコンポリューション処理回路に関する。

一例に、例えばファクシミリなどの回線入出力端末において、入力側で原稿信号を画素単位で走査、サンプリングすることによって統取つた画像

信号をその出力側へ送る際、その伝送系の伝達周波数の影響によって画像信号が平滑化されてしまい、そのため出力側で定位信号を補正してもとの峰值信号に復元させるコンポリューションを行なわせらる必要がある。

すなわち、第1図(a)に示すように、入力信号 $i(t)$ は伝送系の伝達関数 $h(u)$ の影響によって出力端で $s(t)$ に示されるような信号に平滑化されてしまう。これら各周波数の關係は、次式によつて表される。

$$s(t) = \int_{-\infty}^{\infty} h(u) \cdot i(t-u) du \quad \dots (1)$$

このような平滑化された信号 $s(t)$ をもとの信号 $i(t)$ に復元するには、補正関数 $\hat{h}(u)$ を用いて次式の演算処理を実行させるようしている。

$$\hat{i}(t) = \int_{-\infty}^{\infty} \hat{h}(u) \cdot s(t-u) du \quad \dots (2)$$

ここで、 $\hat{i}(t)$ は復元信号を表している。

また、前記信号 $i(t)$ および $s(t)$ が量子化されたデジタル信号であれば、(1)、(2)式の因体はそれぞれ次式によつて表えられることになる。

'04.08.24 (火) 19:22

SAIK PATENT OFFICE

P. 14/17

$$g(i, j) = \sum_{k=0}^M \sum_{l=0}^N c(k, l) \cdot s(i+k, j+l) \quad \dots (3)$$

$$\hat{g}(i, j) = \sum_{k=-M}^M \sum_{l=-N}^N c(k, l) \cdot g(i+k, j+l) \quad \dots (4)$$

このような(3)～(4)にしたがう演算処理、すなわち時間軸上での信号の相操作をフィルタリングによるコンボリューションと呼び、通常コンボリューション記号を「*」で表している。

また、このようなコンボリューション処理を行なわせるに際して、第1回間に依るよう、伝達関数 $c(k, l)$ の広がりが大きくなると、それに応じて補正間数 $\Delta(k, l)$ の適用も広がり、前記(4)式の適用時に平滑化された信号 $\hat{g}(i, j)$ の補正誤差量 Δ' が大きくなってしまう。

なお、第2回間は(3)式に対応する伝達関数の1例を、また同様に(4)式に対応する補正間数の1例をそれぞれ示している。

従来、この種のコンボリューションを具体的に実行せらるため、図3回に示すような回路構成によるものが用いられている。

すなわち、外部から画素単位で順次送られてく

それらの信号を加算して結果信号 $\hat{g}(i, j)$ を出力せることになる。

しかし、このような回路構成によつてコンボリューション処理を行なわせるようになると、伝達関数 $c(i, j)$ の広がりが大きいときはそれに応じて計算器OPC ICにおける演算量が増大してその回路構成が複雑化するばかりでなく、その処理時間が長くなつてしまふとともに、メモリ ROM の容量が増大してしまうという問題がある。

本発明はこのような点を考慮してなされたもので、コンボリューション処理回路をユニット化し、伝達関数の広がりに応じて個別のユニットを適宜組合せらるよにすることにより適用範囲を自在にすることができるとともに、全体の回路構成を単純化して高速処理を実現させることができるようにしたコンボリューション処理回路を提供するものである。

以下、略図を参照して本発明の一実施例について述べる。

特開昭57-24158(2)
右デジタル画像信号 DBS を $M \times N$ 域の各1回
象分のシフトレジスタ SR₁₁ ～ SR_{1M} および
ライン選択用のラインシフトレジスタ LSB, ～
LSR_{L-1} からなるシフトレジスタ組で1画素分
ずつ画素シフトさせることにより、そのシフトレ
ジスタ SR₁₁ ～ SR_{1M} からなる部分に特定画素領域
内における画素情報を抽出させ、その抽出された
各画素の強度レベルに関するデータ $s(i+k, j+l)$
とメモリ ROM に予め記憶させている補正間数 $c(k, l)$
の各内容(第2回・り番風)とともにと
づき、計算器 OPC において前記(4)式にしたがう
演算処理を行なわせた上より構成されている(こ
こでは $M = 4, N = 4$ として規定している)。
具体的には、その計算器 OPC において、シフト
レジスタ SR₁₁ のデータ内容と (i, j) における
各補正値との積、シフトレジスタ SR_{1M} のデータ
内容と $(i, 2)$ における補正値との積、以
下同様に $M \times N$ の領域内における各シフトレジ
スタ LSB のデータ内容とそれに対応するアドレスに
ある補正間数 $c(s, t)$ の値との積を全て求め、

いま、前記(4)式をコンボリューション記号を用
いて表すと、次式によつて与えられる。

$$\hat{g} = \sum_{s=1}^M \sum_{t=1}^N c(s, t) * g(i-s, j-t) \quad \dots (5)$$

また、補正間数には次式のようになる。

$$c = c_1 * c_2 * c_3 * \dots * c_n \quad \dots (6)$$

したがつて、(6)式を(5)式に代入すれば、復元
信号 \hat{g} を次式のように書き換えることが可能にな
る。

$$\hat{g} = \sum_{s=1}^M \sum_{t=1}^N \left(c_1 * c_2 * c_3 * \dots * c_n \right) * g(i-s, j-t) \quad \dots (7)$$

すなわち、(5)式の大いデイメンジョンをもつ
た画素 c を(7)式のように小さいデイメンジョンを
もつた画素 $c_1, c_2, c_3, \dots, c_n$ で表すことができ
ることになる。

本発明によるコンボリューション処理回路に、
この点に着目して、大きな補正間数 c の広がりを
もつた1つのコンボリューションフィルタの代わりに、それを部分化した小さな広がりの補正間数
 $c_s (s = 1, 2, 3, \dots, n)$ をもつたn個の
フィルタを並列に直列に配することによつて、前記(7)式

'04.08.24 (火) 19:23

SAI PATENT OFFICE

P. 15/17

にちとづく演算処理を実行させるようにしたものである。

第4図は本発明によるコンボリューション処理回路の一構成例を示すもので、この場合は1つのプロセッサP（小フィルタ）として、平滑化された信号 s_1, s_2, s_3 の補正回路が 3×3 構成の複数領域となるように設定したもので、複数のプロセッサP₁～P₉を多段に直列接続させるようにしている。

下なわち、各プロセッサPはそれぞれ 3×3 構成の補正回路領域における各デジタル画像情報を抽出する各1要素分のシフトレジスタS_{R1}～S_{R9}およびラインシフトレジスタL_{R1}～L_{R9}からなるシフトレジスタ部と、3次元構成の補正回路に応じた補正回路C₁～C₉が予め記憶されたメモリROMと、そのメモリ内容とシフトレジスタS_{R1}～S_{R9}にそれぞれ抽出された各画素の輝度レベルに関するデータ s_1, s_2, s_3 とに応じて前述のコンボリューションのための積和演算を行なわせる演算器OPCとからなつてお

したがつて(8)式を利用して、フィルタのタイミング 2^{n+1} を 2^{n-1} に下げ、さらにもう1回の手順を経けて行なわせることによつて前記(7)式に右の c_1, \dots, c_9 の各フィルタの係数が求められる。

なお、第5図は第2回間に示した補正回路Cを2つの小ディメンションの補正回路C₁, C₂に展開したときの各フィルタの係数をそれぞれ示している。

以上、本発明によるコンボリューション処理回路にあつては、信号伝達系における伝送間数によつて平滑化されたデータ信号をコンボリューション処理によって復元させる。その伝送間数の広がりに応じた補正回路を有する1つのコンボリューションフィルタの代わりに、予め小範囲での補正回路をもつた小フィルタをその伝送間数の広がりに応じて適宜多段に直列に配設させることにより同一の回路を共用することができるようになつたもので、これら各小フィルタを規格化させることができて全体の回路構成が単純化されるととも

特開昭57-24168(9)
り、このような規格化された同一構成のプロセッサを伝送間数 (k, l) の広がりに応じた多段な数だけ直列に接続すれば広範囲での適用が可能となる。

その際、使用するプロセッサPの数を応じて、そのぞれのプロセッサP₁～P₉内における各メモリROM～ROMの内容すなわち(7)式における補正回路C₁～C₉の値を以下のようにして決定する。

いま、 $c_1 = \dots$ をそれぞれ 3×3 構成の補正フィルタとすると、 c_1, c_2, \dots, c_9 は $c_{0-1}^{(2^n-1)}, c_{0-1}^{(2^n-1)}$ の要素のフィルタとなる。このフィルタの要素を $c_{0-1}^{(2^n-1)}$ で表し、 c_0 の要素を $c_{0-1}^{(2^n-1)}$ で表すと、次式が成立することになる。

$$c_1^{(2^n-1)} = c_2^{(2^n-1)} = \dots = c_9^{(2^n-1)} = c_{0-1}^{(2^n-1)} - c_{0-1}^{(2^n-1)} - c_{0-1}^{(2^n-1)} - \dots - c_{0-1}^{(2^n-1)} \quad \dots (8)$$

ただし、 $1 \leq k \leq 2^n-1, 1 \leq l \leq 2^n-1$ であり、また $c_{0-1}^{(2^n-1)}$ の数字 $= 2^{n-1} - 2^{n-1} + 1$ 以外の値をとるときには $c_{0-1}^{(2^n-1)} = 0$ 。

に、各小フィルタでの演算内容が相違しないことを確認を行なわせることができるようにしてある。また、各小フィルタを規格化させた別点を有している。

回路の簡単な説明

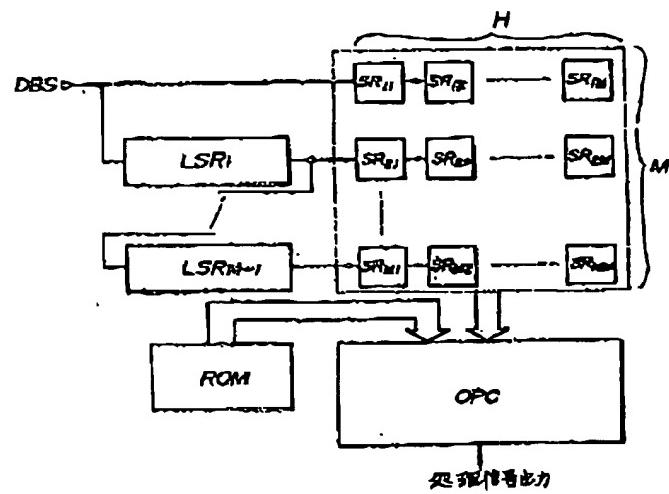
第1回(1), (4)はそれぞれ信号伝達系における複数回路の広がりに応じたコンボリューション処理状態を波形的に示す図、第2回(4)は伝送間数の一例を示す図、同図(5)は補正回路の一例を示す図、第3図は従来のコンボリューション処理回路のブロック構成図、第4図は本発明の一実施例によるコンボリューション処理回路を示すブロック構成図、第5図は第2回間に示す補正回路を2つの小ディメンションに展開させたときの各補正回路をそれぞれ示す図である。

R&S…シフトレジスタ LBR…ラインシフトレジスタ OPC…演算器 P…プロセッサ（小フィルタ）

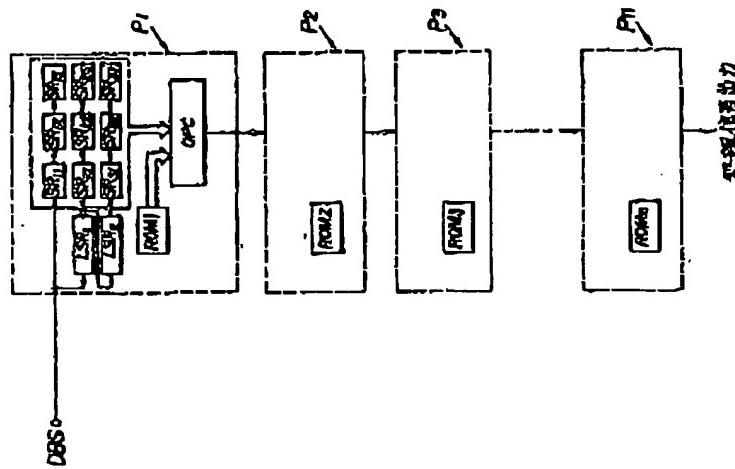
出願人代理人 岩井

特許57-24168(4)

第3図



第4図



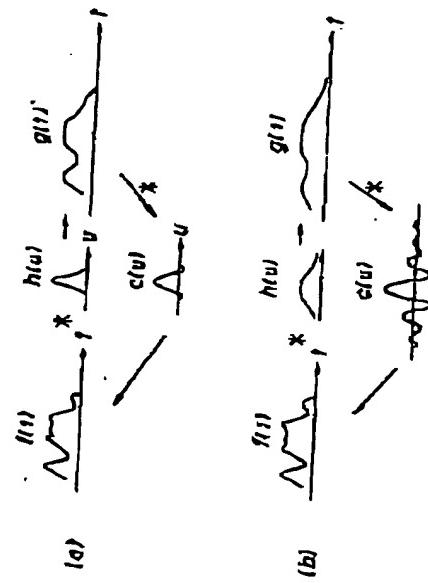
第5図

$$C_2 = \begin{pmatrix} 0.01 & 0.224 & 0.01 \\ 0.224 & -3.67 & 0.224 \\ -0.01 & 0.224 & -0.01 \end{pmatrix}$$

$$C_1 = \begin{pmatrix} -0.01 & 0.224 & -0.01 \\ 0.224 & -3.67 & 0.224 \\ -0.01 & 0.224 & 0.01 \end{pmatrix}$$

特許昭57-24168(5)

第1図



第2図

(a)

0	0	0.005	0	0
0	-0.04	-0.03	0.04	0
0.005	0.005	0.04	-0.03	0.004
0	0.005	0.04	-0.03	0.004
0	0	0.004	0	0

(b)

0.02	0.02	0.02		
0.00	0.00	0.00		
0.02	0.02	0.02		

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.